

[11]公告編號：432509

[44]中華民國 90年(2001) 05月01日

發明

全 4 頁

[51] Int.Cl 06: H01L21/28

第 92125514 號  
初審引証附件

[54]名稱：一種設於一半導體晶片之閘極導電層

[21]申請案號：088113359

[22]申請日期：中華民國 88年(1999) 08月05日

[72]發明人：

呂曉玲

施學浩

游萃蓉

台北縣中和市秀朗路三段七十巷五十五號三樓

新竹市光復路二段三九三巷十三號二樓

新竹縣竹東鎮北興路三段五一二號七樓

[71]申請人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代理人：許鍾迪 先生

1

2

[57]申請專利範圍：

1. 一種設於一半導體晶片之閘極導電層，該半導體晶片表面包含有一矽基底，以及一閘氧化層設於該矽基底之一預定區域之上，該閘極導電層包含有：

一第一多晶矽(poly-silicon)層，設於該閘氧化層之上方；

一第二多晶矽層，設於該第一多晶矽層之上方；以及

一金屬矽化物層，設於該第二多晶矽層之上方；

其中該第一多晶矽層之晶粒尺寸(grain size)較該第二多晶矽層之晶粒尺寸小。

2. 如申請專利範圍第1項之閘極導電層，其中該第二多晶矽層係由一非晶矽(amorphous silicon)層所轉變生成的。

3. 如申請專利範圍第2項之閘極導電層，其中該第二多晶矽層係由該非晶矽層經過熱處理後重新再結晶(re-grain)所轉

變生成的。

4. 如申請專利範圍第2項之閘極導電層，其中該第一多晶矽層與該非晶矽層均以化學氣相沉積(CVD)製程製作而成。

5. 如申請專利範圍第2項之閘極導電層，其中該非晶矽層的厚度係介於500～1000埃(angstrom, Å)之間。

6. 如申請專利範圍第1項之閘極導電層，其中該第一多晶矽層的厚度係介於1000～1500埃之間。

7. 如申請專利範圍第1項之閘極導電層，其中該金屬矽化物層係為一鈦之金屬矽化物(Ti-salicide)或鈷之金屬矽化物(Co-salicide)。

15. 8. 如申請專利範圍第1項之閘極導電層，其中該金屬矽化物層之製作方法包含下列步驟：

形成一金屬層於該第二多晶矽層表面；

20. 進行一快速熱製程(rapid thermal

process, RTP), 以使該金屬層與部分之該第二多晶矽層起反應而形成該金屬矽化物層; 以及  
 去除未反應之該金屬層, 以完成該金屬矽化物層之製作。

圖式簡單說明:

第一圖為習知以多晶矽層製作之閘極導電層之結構示意圖。

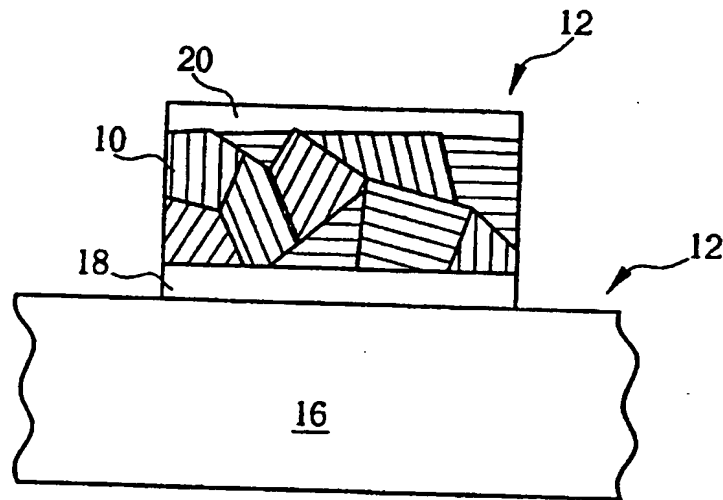
第二圖為習知以非晶矽層製作之閘極導電層之結構示意圖。

極導電層之結構示意圖。

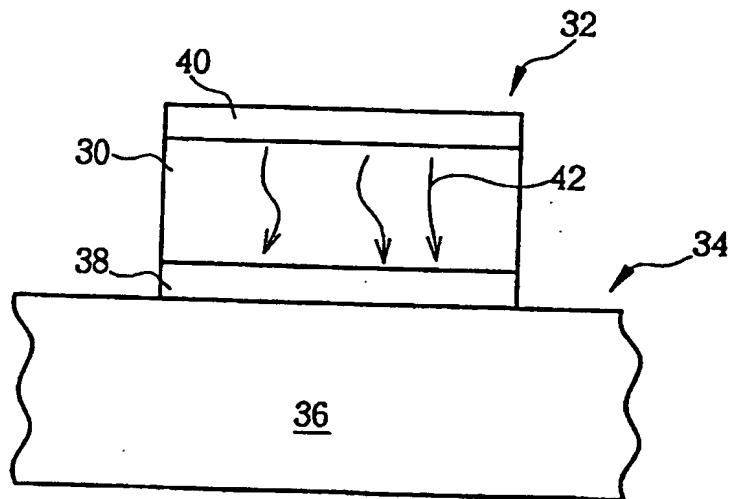
第三圖為本發明之閘極導電層之結構示意圖。

第四圖至第七圖為第三圖之閘極導電層製作方法的示意圖。

第八圖為本發明閘極導電層與習知閘極導電層的片電阻與回火溫度的關係圖。



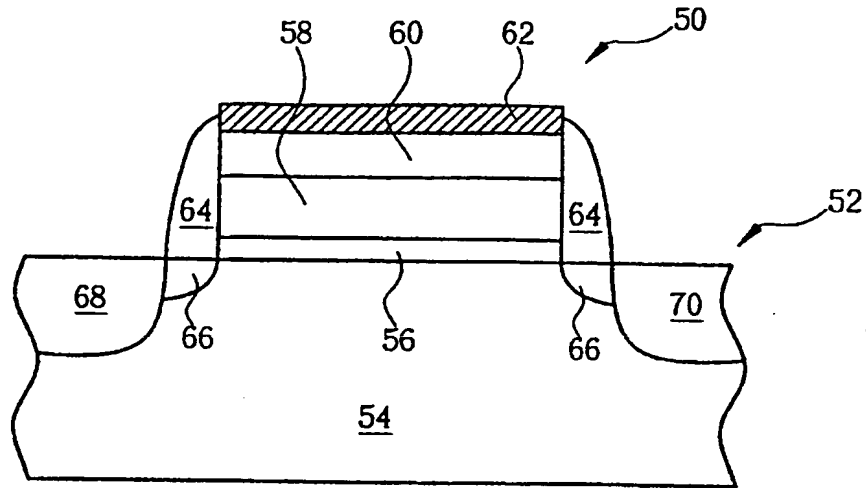
第一圖 Prior Art



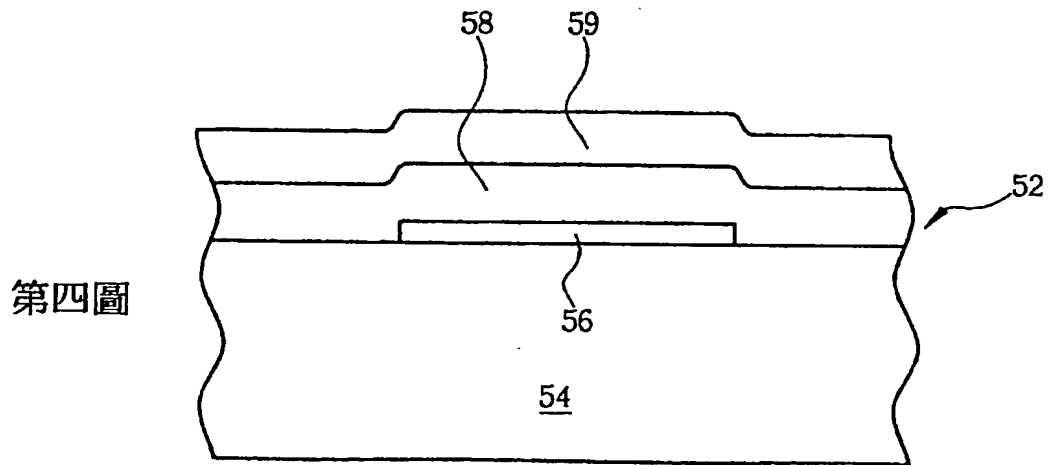
第二圖

Prior Art

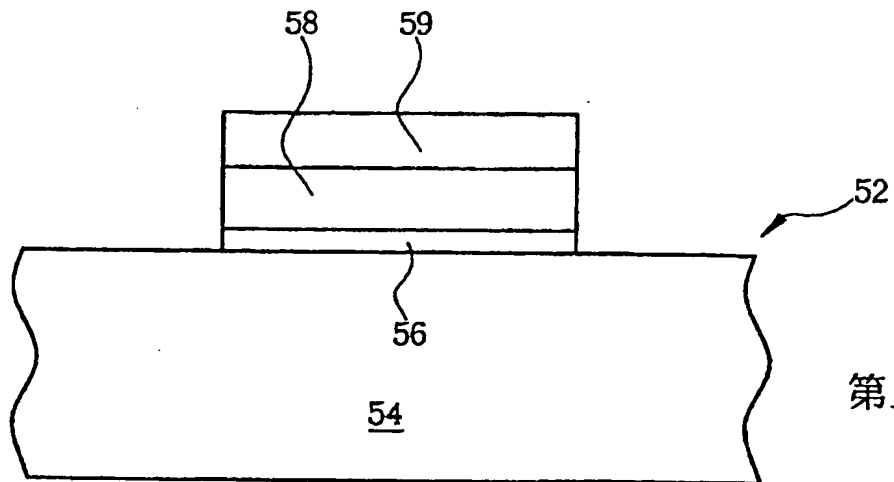
(3)



第三圖

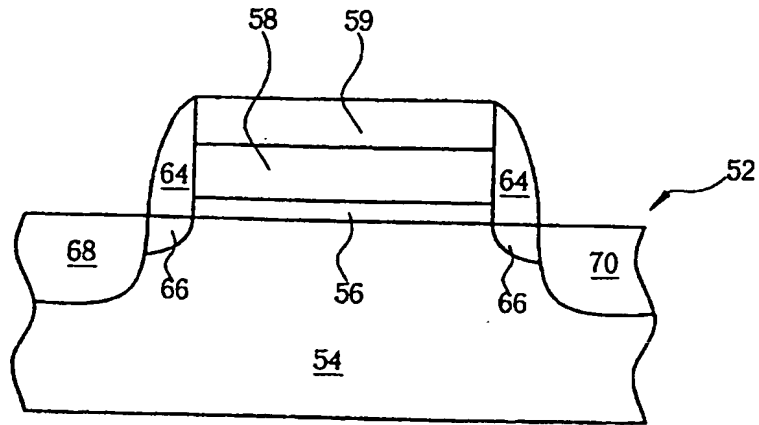


第四圖

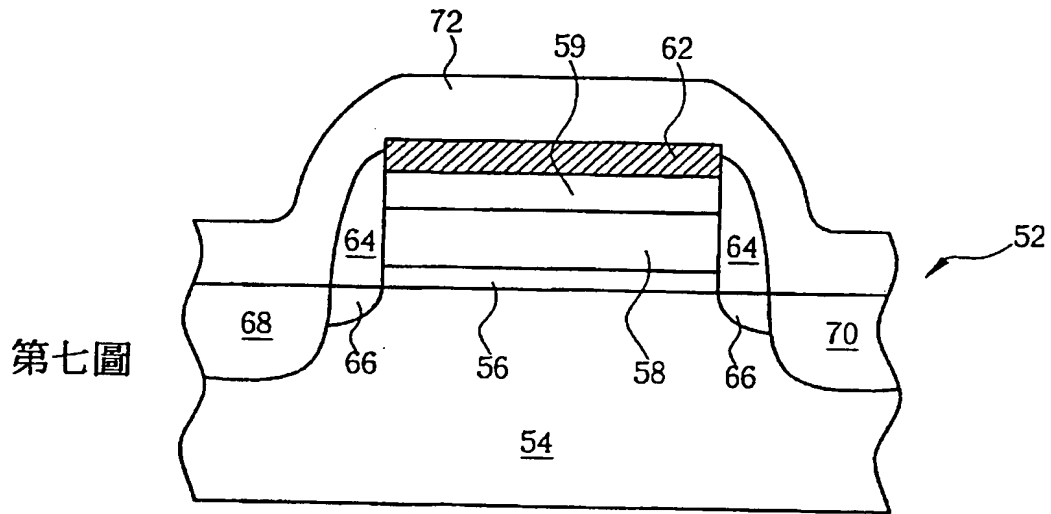


第五圖

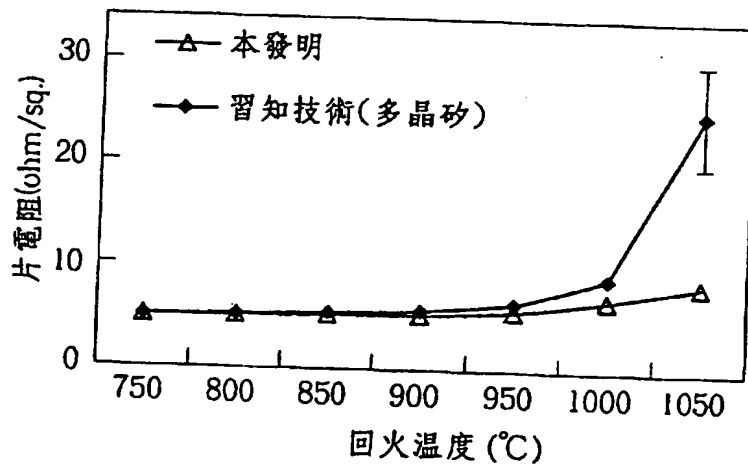
(4)



第六圖



第七圖



第八圖